

PAT-NO: JP410163440A
DOCUMENT-IDENTIFIER: JP 10163440 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS
MANUFACTURE
PUBN-DATE: June 19, 1998

INVENTOR-INFORMATION:
NAME
KIKUSHIMA, KENICHI
OTSUKA, FUMIO

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP08315806
APPL-DATE: November 27, 1996

INT-CL (IPC): H01L027/108, H01L021/8242 , H01L027/04 , H01L021/822
, H01L021/8238 , H01L027/092 , H01L021/8244 , H01L027/11
, H01L029/43

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device in which the multilayer wiring layer equipped with a capacitor can be flattened and processed finely and besides which is excellent in electric property, and its manufacturing method.

SOLUTION: This method is one which forms a contact hole in the selective region of an insulating film 11 after the insulating film 11 on a semiconductor substrate 1 where a plurality of semiconductor devices such as CMOSFET or the like are made, and fills a contact hole with a plug consisting of the stack film of a titanium nitride film 14 and a tungsten film 15, or a titanium nitride film 14. Furthermore, this forms the upper electrode 18 of the capacitor after piling of the insulating film 17 to serve as the dielectric film of the capacitor on the semiconductor substrate 1 including the lower electrode 16 after formation of the lower electrode 16 of a capacitor on the plug.

COPYRIGHT: (C)1998, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163440

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 27/108
21/8242
27/04
21/822
21/8238

F I

H 0 1 L 27/10 6 2 1 Z
27/04 C
27/08 3 2 1 F
27/10 3 8 1
29/46 R

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平8-315806

(22) 出願日 平成8年(1996)11月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 菊島 健一

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大塚 文雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

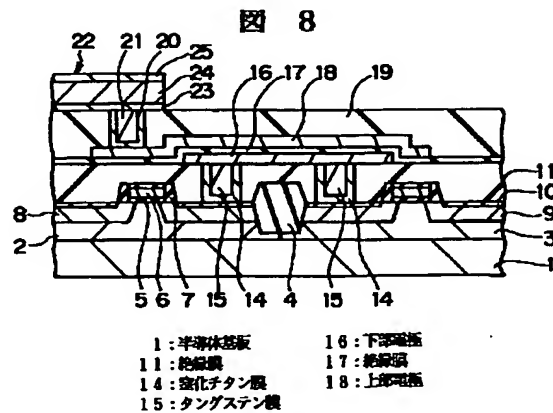
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 キャパシタを備えている多層配線層の平坦化および微細加工化ができ、しかも電気的な特性が優れている半導体集積回路装置およびその製造方法を提供する。

【解決手段】 複数のCMOSFETなどの半導体素子が形成されている半導体基板1の上に絶縁膜11を形成した後、絶縁膜11の選択的な領域にコンタクトホールを形成する工程と、コンタクトホールに窒化チタン膜14とタングステン膜15との積層膜または窒化チタン膜14からなるプラグを埋め込む工程と、プラグの上にキャパシタの下部電極16を形成した後、下部電極16を含む半導体基板1の上にキャパシタの誘電体膜となる絶縁膜17を堆積した後、キャパシタの上部電極18を形成する工程とを有するものである。



【特許請求の範囲】

【請求項1】 キャパシタの下部電極の下部に設けられているコンタクトホールに埋め込まれているプラグと前記コンタクトホールとの接触部が窒化チタン膜となっていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記プラグは、窒化チタン膜であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記プラグは、窒化チタン膜とタングステン膜との積層膜であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3のいずれか1項に記載の半導体集積回路装置において、前記キャパシタの前記下部電極は、窒化チタン膜または導電性の多結晶シリコン膜あるいは窒化チタン膜と導電性の多結晶シリコン膜との積層膜であることを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4のいずれか1項に記載の半導体集積回路装置において、前記キャパシタは、STC型メモリセルの構成要素であることを特徴とする半導体集積回路装置。

【請求項6】 複数の半導体素子が形成されている基板の上に絶縁膜を形成した後、前記絶縁膜の選択的な領域にコンタクトホールを形成する工程と、前記コンタクトホールに窒化チタン膜とタングステン膜とからなるプラグを埋め込む工程と、前記プラグの上にキャパシタの下部電極を形成した後、前記下部電極を含む前記基板の上にキャパシタの誘電体膜となる絶縁膜を堆積した後、前記キャパシタの上部電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 複数の半導体素子が形成されている基板の上に絶縁膜を形成した後、前記絶縁膜の選択的な領域にコンタクトホールを形成する工程と、前記コンタクトホールに窒化チタン膜からなるプラグを埋め込む工程と、

前記プラグの上にキャパシタの下部電極を形成した後、前記下部電極を含む前記基板の上にキャパシタの誘電体膜となる絶縁膜を堆積した後、前記キャパシタの上部電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項6または7記載の半導体集積回路装置の製造方法において、前記コンタクトホールに窒化チタン膜とタングステン膜との積層膜または窒化チタン膜を埋め込んだ後、CMP法を使用して前記窒化チタン膜と前記タングステン膜との積層膜または前記窒化チタン膜の平坦化を行うと共に前記コンタクトホール内部以外の前記窒化チタン膜と前記タングステン膜との積層膜または前記窒化チタン膜を取り除く工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6～8のいずれか1項に記載の半

導体集積回路装置の製造方法において、前記基板に形成されている複数の半導体素子には、CMOSFETが含まれており、しかもそれがSTC型メモリセルの構成要素となっていることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、多層配線構造にキャパシタを有する半導体集積回路装置に適用して有効な半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】ところで、本発明者は、半導体集積回路装置の製造方法について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】すなわち、スタックド・キャパシタ(stack ed capacitor; STC)型メモリセルを備えているDRAM(Dynamic Random Access Memory)またはSRAM(Static Random Access Memory)において、容量素子であるキャパシタを形成する製造工程とその前後の製造工程は、キャパシタを形成する領域の下部の絶縁膜にコンタクトホール(スルーホール)を開口する工程と、キャパシタの下部電極を形成する工程と、キャパシタの絶縁膜および上部電極を形成する工程と、キャパシタの上部電極の上に絶縁膜を形成した後、その絶縁膜にコンタクトホールを開口した後配線層を形成する工程と、2層目以上の多層の配線層などを形成する工程とを必要としている。

【0004】この場合、例えばSTC型メモリセルにおけるキャパシタを有するCMOS(Complementary Metal Oxide Semiconductor)型半導体集積回路装置において、キャパシタの下部電極および上部電極は、導電性の多結晶シリコン膜を使用して形成されている。

【0005】なお、DRAMを有する半導体集積回路装置について記載されている文献としては、例えば特開昭54-524号公報に記載されているものがある。

【0006】

【発明が解決しようとする課題】ところが、前述したSTC型メモリセルにおけるキャパシタを有するCMOS型半導体集積回路装置の製造方法には、以下に述べるような種々の問題点があることを本発明者は見出した。

【0007】(1)．キャパシタの下部電極は導電性の多結晶シリコン膜を使用して形成されているので、その下部電極とNチャネルMOSFETのドレインとなっている拡散層(半導体領域)およびPチャネルMOSFETのドレインとなっている拡散層(半導体領域)を電気的に結線すると、その領域にpn接合が形成される場合が発生し、その領域の配線層としての導通性が悪化する

という問題点が発生している。

【0008】(2)．キャパシタを有する多層配線構造において、その多層配線層の平坦性が不十分となって、多層配線層の微細加工が困難となっている。すなわち、多層配線層を形成する際に、その平坦化技術として層間絶縁膜などの絶縁膜をCMP (Chemical Mechanical Polishing、化学的機械研磨) 法を使用して平坦化し、コンタクトホールをタングステンで埋め込む技術が使用されている。しかしながら、コンタクトホールをタングステンで埋め込んだ後、キャパシタにおける下部電極、絶縁膜および上部電極を形成する際の例えば800℃程度の熱処理により、コンタクトホールに埋め込まれているタングステンとキャパシタの下部電極とが反応すると共に、コンタクトホールに埋め込まれているタングステンとその下部のMOSFETのドレインとなっている拡散層(半導体領域)とが反応するので、キャパシタの耐圧不良およびドレインとなっている拡散層とそれが形成されている半導体基板との短絡不良などが発生するという問題点がある。

【0009】本発明の目的は、キャパシタを備えている多層配線層の平坦化および微細加工化ができ、しかも電気的な特性が優れている半導体集積回路装置およびその製造方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、(1)．本発明の半導体集積回路装置は、例えばSTC型メモリセルの構成要素などのキャパシタの下部電極の下部に設けられているコンタクトホールに埋め込まれているプラグとコンタクトホールとの接触部が窒化チタン膜となっているものであり、そのプラグは、窒化チタン膜とタングステン膜との積層膜または窒化チタン膜となっているものである。

【0013】(2)．本発明の半導体集積回路装置の製造方法は、複数のCMOSFETなどの半導体素子が形成されている基板の上に絶縁膜を形成した後、絶縁膜の選択的な領域にコンタクトホールを形成する工程と、コンタクトホールに窒化チタン膜とタングステン膜との積層膜または窒化チタン膜からなるプラグを埋め込む工程と、プラグの上にキャパシタの下部電極を形成した後、下部電極を含む基板の上にキャパシタの誘電体膜となる絶縁膜を堆積した後、キャパシタの上部電極を形成する工程とを有するものである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明す

るための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0015】(実施の形態1) 図1～図8は、本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。本実施の形態の半導体集積回路装置およびその製造方法は、容量素子であるキャパシタを有するCMOS型半導体集積回路装置およびその製造方法である。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を説明する。

【0016】まず、図1に示すように、例えば単結晶シリコンからなるp型の半導体基板1にn型のウエル2とp型のウエル3を形成した後、半導体基板1の表面の選択的な領域を熱酸化して素子分離用のフィールド絶縁膜4を形成する。次に、n型のウエル2およびp型のウエル3が形成されている半導体基板1の表面に例えば酸化シリコン膜などからなるゲート絶縁膜5を形成した後、ゲート絶縁膜5の表面に導電性の多結晶シリコン膜などからなるゲート電極6を形成する。

【0017】次に、ゲート電極6の側面に例えば酸化シリコン膜などからなる側壁絶縁膜7を形成した後、n型のウエル2の表面の選択的な領域にp型の不純物をイオン注入し、拡散してPチャネルMOSFETのソースおよびドレインとなるp型の半導体領域8を形成する。その後、p型のウエル3の表面の選択的な領域にn型の不純物をイオン注入し、拡散してNチャネルMOSFETのソースおよびドレインとなるn型の半導体領域9を形成する。次に、半導体基板1の上にチタン(Ti)膜を形成した後、熱処理を行ってチタン膜と半導体領域8、半導体領域9およびゲート電極6との接触部にチタンシリサイド膜10を形成する。その後、コンタクト抵抗を低減するためのチタンシリサイド膜10が形成されている領域以外のチタン膜を取り除く作業を行う。

【0018】次に、半導体基板1の上に絶縁膜11を形成した後、その絶縁膜11の表面にレジスト膜12を形成し、フォトリソグラフィ技術と選択エッチング技術とを使用して、絶縁膜11の選択的な領域にコンタクトホール13を形成する(図2)。絶縁膜11は、例えばCVD (Chemical Vapor Deposition) 法またはTEOS (テトラエトキシシラン) と酸素の反応によって酸化シリコン膜を形成し、CMP法を使用してその酸化シリコン膜の表面を平坦化している。なお、絶縁膜11の他の態様として、PSG (Phospho Silicate Glass) 膜、BPSG (Boro Phospho Silicate Glass) 膜またはSOG (Spin On Glass) 膜などを使用し、CMP法などにより表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜11を形成する態様とすることができ

る。

【0019】その後、不要となったレジスト膜12を取り除いた後、コンタクトホール13および絶縁膜11の表面に薄膜の窒化チタン(TiN)膜14をCVD法を

使用して形成した後、厚膜のタングステン(W)膜15をCVD法を使用して形成し、コンタクトホール13を窒化チタン膜14とタングステン膜15とによって埋め込んだ状態とする(図3)。

【0020】次に、CMP法を使用して、タングステン膜15の表面から表面研磨を行い、コンタクトホール13に埋め込まれている窒化チタン膜14およびタングステン膜15以外の窒化チタン膜14およびタングステン膜15を取り除くことによって、コンタクトホール13に窒化チタン膜14とタングステン膜15とからなるプラグ(plug)を形成する(図4)。この場合、図示上のコンタクトホール13は容量素子であるキャパシタを形成する領域に形成されているものであり、プラグは柱形状のピラー(pillar)となっている。

【0021】次に、窒化チタン膜14とタングステン膜15とからなるプラグの上にキャパシタにおける下部電極16を形成する(図5)。下部電極16は、例えば窒化チタン膜または窒化チタン膜と導電性の多結晶シリコン膜との積層膜をCVD法を使用して形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用してパターン化したものである。

【0022】その後、キャパシタの下部電極16を含む半導体基板1の上にキャパシタの誘電体膜となる絶縁膜17を堆積した後、キャパシタの上部電極18を形成する(図6)。この場合、絶縁膜17として、例えば四窒化三ケイ素(Si₃N₄)膜または五酸化二タンタル(Ta₂O₅)膜をCVD法を使用して形成した後、キャパシタの上部電極18として、例えば窒化チタン膜または導電性の多結晶シリコン膜をCVD法を使用して形成し、その後、フォトリソグラフィ技術と選択エッチング技術とを使用してパターン化された上部電極18を形成する。

【0023】次に、半導体基板1の上に層間絶縁膜19を形成する。層間絶縁膜19は、例えば酸化シリコン膜をCVD法により形成した後、CMP法を使用して、その表面を平坦化処理することにより、平坦化された層間絶縁膜19としている。その後、フォトリソグラフィ技術と選択エッチング技術とを使用して、層間絶縁膜19の選択的な領域にコンタクトホールを形成した後、図3および図4を用いて説明した前述の製造工程と同様な製造工程によって、窒化チタン膜20とタングステン膜21とからなるプラグをコンタクトホールに埋め込んだ状態で形成する(図7)。

【0024】その後、半導体基板1の上に配線層22を形成する。配線層22の製造工程は、例えば窒化チタン膜23を形成した後、その上にアルミニウム膜24を形成し、その上に窒化チタン膜25を形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用して、それらの膜を選択的に取り除くことにより、パターン化された配線層22を形成する(図8)。

【0025】次に、半導体基板1の上に必要に応じて多層配線層を形成した後、その上にパッシベーション膜(図示を省略)を形成することにより、半導体集積回路装置の製造工程を終了する。

【0026】前述した本実施の形態の半導体集積回路装置およびその製造方法によれば、平坦化された絶縁膜11にコンタクトホール13を形成した後、そのコンタクトホール13の内面を被覆する状態でもって薄膜の窒化チタン膜14を形成し、その後、厚膜のタングステン膜15を形成した後、CMP法を使用してコンタクトホール13に窒化チタン膜14とタングステン膜15とからなるプラグを形成している。そして、そのプラグの上にキャパシタにおける下部電極16を形成した後、キャパシタにおける絶縁膜17と上部電極18を形成している。

【0027】したがって、コンタクトホール13の内面を被覆する状態でもって窒化チタン膜14を形成していることによって、窒化チタン膜14はヒ素(As)またはホウ素(B)などの不純物の拡散バリア(barrier、障壁)となると共にタングステン(W)またはケイ素(Si)などの導電物の拡散バリアとなるので、窒化チタン膜14の上部のタングステン膜15および下部電極16としての導電性の多結晶シリコン膜に含まれている導電物および不純物が窒化チタン14の下部に拡散することが防止できると共に窒化チタン膜14の下部のp型の半導体領域8およびn型の半導体領域9に含まれている不純物が窒化チタン14の上部に拡散することが防止できる。また、窒化チタン膜14の上部のタングステン膜15および下部電極16の材料となっている物質が窒化チタン14の下部に拡散することが防止できると共に窒化チタン膜14の下部のp型の半導体領域8およびn型の半導体領域9の材料となっている物質が窒化チタン14の上部に拡散することが防止できるので、窒化チタン膜14の上部に存在する物質と窒化チタン膜14の下部に存在する物質とが反応するのを防止することができる。

【0028】その結果、キャパシタにおける下部電極16、絶縁膜17および上部電極18を形成する際の例えば800℃程度の高温熱処理を行っても、前述した不純物および導電物の拡散が防止できると共に窒化チタン膜14の上部に存在する物質と窒化チタン膜14の下部に存在する物質とが反応するのを防止することができることによって、不要な領域にpn接合が形成されるのを防止でき、しかもp型の半導体領域8およびn型の半導体領域9とその下部のn型のウエル2、p型のウエル3または半導体基板1との不要な短絡部が形成されるのを防止できる。

【0029】したがって、高製造歩留りをもって、高信頼度でしかも電気的な特性が優れているキャパシタを形成することができる。また、平坦化された絶縁膜11お

よび窒化チタン膜14を有するプラグの上にキャパシタを形成できることによって、平坦化および微細加工化されたキャパシタおよび多層配線層を容易に形成することができる。

【0030】(実施の形態2)図9～図14は、本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。本実施の形態の半導体集積回路装置およびその製造方法は、前述した実施の形態1と同様に、容量素子であるキャパシタを有するCMOS型半導体集積回路装置およびその製造方法である。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を説明する。

【0031】まず、図9に示すように、前述した実施の形態1と同様に、例えば単結晶シリコンからなるp型の半導体基板1にn型のウエル2とp型のウエル3を形成した後、フィールド絶縁膜4、ゲート絶縁膜5、ゲート電極6などを形成した後、絶縁膜11の選択的な領域にコンタクトホール13を形成する。その後、コンタクトホール13および絶縁膜11の表面に厚膜の窒化チタン膜14をCVD法を使用して形成し、コンタクトホール13を窒化チタン膜14によって埋め込んだ状態とする。

【0032】次に、CMP法を使用して、窒化チタン膜14の表面から表面研磨を行い、コンタクトホール13に埋め込まれている窒化チタン膜14以外の窒化チタン膜14を取り除くことによって、コンタクトホール13に窒化チタン膜14からなるプラグを形成する(図10)。次に、窒化チタン膜14からなるプラグの上にキャパシタにおける下部電極16を形成する(図11)。下部電極16は、例えば窒化チタン膜または導電性の多結晶シリコン膜をCVD法を使用して形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用してパターン化したものである。

【0033】その後、前述した実施の形態1と同様な製造工程を用いて、キャパシタの下部電極16を含む半導体基板1の上にキャパシタの誘電体膜となる絶縁膜17を堆積した後、キャパシタの上部電極18を形成する

(図12)。次に、前述した実施の形態1と同様な製造工程を用いて、半導体基板1の上に平坦化された層間絶縁膜19を形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用して、層間絶縁膜19の選択的な領域にコンタクトホールを形成し、その後、窒化チタン膜20とタングステン膜21とからなるプラグをコンタクトホールに埋め込んだ状態で形成する(図13)。

【0034】その後、前述した実施の形態1と同様な製造工程を用いて、半導体基板1の上に配線層22を形成した後、半導体基板1の上に必要に応じて多層配線層を形成した後、その上にパッシベーション膜(図示を省略)を形成することにより、半導体集積回路装置の製造工程を終了する(図14)。

【0035】前述した本実施の形態の半導体集積回路装置およびその製造方法によれば、平坦化された絶縁膜11にコンタクトホール13を形成した後、そのコンタクトホール13の内面を被覆する状態でもって厚膜の窒化チタン膜14を形成した後、CMP法を使用してコンタクトホール13に窒化チタン膜14からなるプラグを形成している。そして、そのプラグの上にキャパシタにおける下部電極16を形成した後、キャパシタにおける絶縁膜17と上部電極18を形成している。

10 【0036】したがって、コンタクトホール13の内面を被覆する状態でもって窒化チタン膜14を形成していることによって、前述した実施の形態1と同様な効果を得ることができる。また、コンタクトホール13に形成するプラグは、窒化チタン膜14のみで形成していることによって、前述した実施の形態1に比較して、簡単な製造工程によって微細加工を寸法精度を向上して行うことができる。

20 【0037】(実施の形態3)本実施の形態は、SRAMを有する半導体集積回路装置およびその製造方法であり、STC型メモリセルの構成要素のキャパシタの下部電極の下部に設けられているコンタクトホールに埋め込まれているプラグとコンタクトホールとの接触部が窒化チタン膜となっているものであり、そのプラグは、窒化チタン膜とタングステン膜との積層膜または窒化チタン膜となっているものであり、キャパシタを備えている多層配線層の平坦化および微細加工化ができ、しかも電気的な特性が優れている半導体集積回路装置およびその製造方法である。

30 【0038】図15～図22は、本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図であり、同図を用いて、本実施の形態のSRAMを有する半導体集積回路装置およびその製造方法を後述する。

40 【0039】また、図23は、本実施の形態のSRAMを有する半導体集積回路装置におけるSRAMのSTC型メモリセルを示す回路図である。同図に示すように、本実施の形態のSRAMのSTC型メモリセルは、一対の相補性データ線(データ線DL、データ線/バーDL)とワード線WLとの交差点に配置され、かつ一対の駆動用MOSFETQ2、Q4、一対の負荷用MOSFETQ1、Q3および一対の転送用MOSFETQ5、Q6で構成されている。これらのMOSFETのうち、駆動用MOSFETQ2、Q4および転送用MOSFETQ5、Q6はNチャネルMOSFETで構成され、負荷用MOSFETQ1、Q3はPチャネルMOSFETで構成されている。そして、4個のNチャネルMOSFETと2個のPチャネルMOSFETはCMOS型で構成されている。

50 【0040】上記メモリセルを構成する6個のMOSFETのうち、一対の駆動用MOSFETQ2、Q4と一対

の負荷用MOSFETQ1、Q3は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路の一方の入出力端子(蓄積ノード)は転送用MOSFETQ5のソース、ドレイン領域の一方に電気的に接続され、他方の入出力端子(蓄積ノード)は転送用MOSFETQ6のソース、ドレイン領域の一方に電気的に接続されている。

【0041】転送用MOSFETQ5のソース、ドレイン領域の他方にはデータ線DLが電気的に接続され、転送用MOSFETQ6のソース、ドレイン領域の他方にはデータ線/DLが電気的に接続されている。また、フリップフロップ回路の一端(負荷用MOSFETQ1、Q3の各ソース領域)は電源電圧(Vcc)に接続され、多端(駆動用MOSFETQ2、Q4の各ソース領域)は基準電圧(Vss)に接続されている。電源電圧(Vcc)は例えば3Vであり、基準電圧(Vss)は例えば0V(GND)である。

【0042】また、上記フリップフロップ回路の入出力端子間は、一対の局所配線L1、L2を介して交差結合している。そして、本実施の形態の一対の局所配線L1、L2は、異なる配線層を用いて形成している。また、上層の局所配線L2と下層の局所配線L1とそれらの間に介在する薄い絶縁膜とでキャパシタ(容量素子)Cを構成している。すなわち、上層の局所配線L2はキャパシタCの一方の電極を構成し、下層の局所配線L1は他方の電極を構成し、絶縁膜は誘電体膜を構成している。したがって、上層の局所配線L2と下層の局所配線L1とを上下に重なり合うように配置し、上層の局所配線L2と下層の局所配線L1とそれらの間に介在する絶縁膜とでキャパシタCを構成していることによって、メモリセルの蓄積ノード容量を増やすことができるので、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。なお、前述したSTC型メモリセルを有するSRAMを有する半導体集積回路装置は、本発明者の先願(例えば、特願平8-35872号)の明細書に詳細に説明されている。

【0043】図15～図22を用いて、本実施の形態のSRAMを有する半導体集積回路装置およびその製造方法を説明する。なお、図23に示すSRAMのSTC型メモリセルの領域の製造工程を図面化する際には、複雑な構造となるために、図15～図22は、PチャネルMOSFETである負荷用MOSFETQ1とNチャネルMOSFETである駆動用MOSFETQ4とその間に配置されているキャパシタCとの領域を概略的に断面化した図を使用している。

【0044】まず、前述した実施の形態1と同様に、例えば単結晶シリコンからなるp型の半導体基板1を用意し、図1に示したものと同様に、それにPチャネルMOSFETである負荷用MOSFETQ1およびNチャネルMOSFETである駆動用MOSFETQ4などを形

成する(図15)。

【0045】次に、半導体基板1の上に絶縁膜11を形成した後、その絶縁膜11の表面にレジスト膜12を形成し、フォトリソグラフィ技術と選択エッチング技術とを使用して、絶縁膜11の選択的な領域にコンタクトホール13を形成する(図2)。この場合、コンタクトホール13は、PチャネルMOSFETである負荷用MOSFETQ1のソース/ドレインである半導体領域8およびNチャネルMOSFETである駆動用MOSFETQ4のソース/ドレインである半導体領域9のそれぞれの上に形成する(図16)。なお、本実施の形態のこの製造工程および以下に記載する製造工程は、前述した実施の形態1の製造工程と同様な製造工程であるプロセスがあるので、そのプロセスの詳細な説明を簡略化する。

【0046】その後、コンタクトホール13および絶縁膜11の表面に薄膜の窒化チタン膜14をCVD法を使用して形成した後、厚膜のタングステン膜15をCVD法を使用して形成し、コンタクトホール13を窒化チタン膜14とタングステン膜15とによって埋め込んだ状態とする(図17)。次に、CMP法を使用して、タングステン膜15の表面から表面研磨を行い、コンタクトホール13に埋め込まれている窒化チタン膜14およびタングステン膜15以外の窒化チタン膜14およびタングステン膜15を取り除くことによって、コンタクトホール13に窒化チタン膜14とタングステン膜15とからなるプラグを形成する(図18)。この場合、図示上の右から2番目のコンタクトホール13はメモリアレイの領域におけるSRAMの容量素子であるキャパシタを形成する領域に形成されているものであり、そのプラグは他のプラグと同様に柱形状のピラーとなっている。

【0047】次に、図示上の右から2番目の窒化チタン膜14とタングステン膜15とからなるプラグの上にキャパシタにおける下部電極16を形成する(図19)。この場合、図示上の右から2番目の窒化チタン膜14とタングステン膜15とからなるプラグとその上のキャパシタにおける下部電極16は、図23における局所配線L1に対応するものである。その後、キャパシタの下部電極16を含む半導体基板1の上にキャパシタの誘電体膜となる絶縁膜17を堆積した後、図示上の右から3番目の窒化チタン膜14とタングステン膜15とからなるプラグの上にコンタクトホールを形成した後、キャパシタの上部電極18を形成することによって、上部電極18と図示上の右から3番目の窒化チタン膜14とタングステン膜15とからなるプラグとを電気的に接続する(図20)。この場合、キャパシタの上部電極18と図示上の右から3番目の窒化チタン膜14とタングステン膜15とからなるプラグは、図23における局所配線L2に対応するものである。

【0048】次に、半導体基板1の上に層間絶縁膜19を形成する。その後、フォトリソグラフィ技術と選択エ

ッチング技術とを使用して、層間絶縁膜19の選択的な領域にコンタクトホールを形成した後、図17および図18を用いて説明した前述の製造工程と同様な製造工程によって、窒化チタン膜20とタングステン膜21とからなるプラグをコンタクトホールに埋め込んだ状態で形成する(図21)。

【0049】その後、半導体基板1の上に配線層22を形成する。配線層22の製造工程は、例えば窒化チタン膜23を形成した後、その上にアルミニウム膜24を形成し、その上に窒化チタン膜25を形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用して、それらの膜を選択的に取り除くことにより、パターン化された配線層22を形成する(図22)。

【0050】この場合、図示上の左の配線層22とその下部の窒化チタン膜20とタングステン膜21とからなるプラグは、図23における負荷用MOSFETQ1のソースである半導体領域8に接続されている電源配線つまり例えば3Vの電源電圧(Vcc)の配線に対応している。また、図示上の右の配線層22とその下部の窒化チタン膜20とタングステン膜21とからなるプラグは、図23における駆動用MOSFETQ4のソースである半導体領域9に接続されているグランド(GND)配線つまり例えば0Vの基準電圧(Vss)の配線に対応している。

【0051】次に、半導体基板1の上に必要に応じて多層配線層を形成した後、その上にパッシベーション膜(図示を省略)を形成することにより、半導体集積回路装置の製造工程を終了する。

【0052】前述した本実施の形態のSRAMを有する半導体集積回路装置およびその製造方法によれば、平坦化された絶縁膜11にコンタクトホール13を形成した後、そのコンタクトホール13の内面を被覆する状態でもって薄膜の窒化チタン膜14を形成し、その後、厚膜のタングステン膜15を形成した後、CMP法を使用してコンタクトホール13に窒化チタン膜14とタングステン膜15とからなるプラグを形成している。そして、図示上の右から2番目のプラグの上にキャパシタにおける下部電極16を形成した後、キャパシタにおける絶縁膜17と上部電極18を形成している。

【0053】したがって、前述した実施の形態1と同様に、窒化チタン膜14の上部に存在する物質と窒化チタン膜14の下部に存在する物質とが反応するのを防止することができることによって、不要な領域にp-n接合が形成されるのを防止でき、しかもp型の半導体領域8およびn型の半導体領域9とその下部のn型のウエル2、p型のウエル3または半導体基板1との不要な短絡部が形成されるのを防止できるので、高製造歩留りをもって、高信頼度でしかも電気的な特性が優れているキャパシタを形成することができる。また、平坦化された絶縁膜11および窒化チタン膜14を有するプラグの上にキ

ャパシタを形成できることによって、平坦化および微細加工化されたキャパシタおよび多層配線層を容易に形成することができる。

【0054】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0055】例えば、本発明は半導体基板に半導体素子としてCMOSFETを形成した態様以外に、半導体基板にMOSFET、バイポーラトランジスタなどの種々の半導体素子を形成した態様を採用することができる。また、半導体素子を形成する基板としては、半導体基板とは別の基板であるSOI(Silicon on Insulator)構造の絶縁性領域の上にシリコンの単結晶薄膜が形成されているSOI基板を用いることができる。

【0056】また、本発明は、前述した実施の形態3のSRAMのSTC型メモリセルの構成要素としてのキャパシタを形成した態様以外に、種々の態様のSRAMのSTC型メモリセルまたはDRAMのSTC型メモリセルの構成要素としてのキャパシタを形成した態様などキャパシタを有する半導体集積回路装置に適用することができる。

【0057】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0058】(1)．本発明の半導体集積回路装置およびその製造方法によれば、コンタクトホールの内面を被覆する状態でもって窒化チタン膜を形成していることによって、窒化チタン膜はヒ素またはホウ素などの不純物の拡散バリアとなると共にタングステンまたはケイ素などの導電物の拡散バリアとなるので、窒化チタン膜の上部の例えばタングステン膜および下部電極としての導電性の多結晶シリコン膜に含まれている導電物および不純物が窒化チタン膜の下部に拡散することが防止できると共に窒化チタン膜の下部の半導体領域に含まれている不純物が窒化チタン膜の上部に拡散することが防止できる。また、窒化チタン膜の上部の例えばタングステン膜および下部電極の材料となっている物質が窒化チタン膜の下部に拡散することが防止できると共に窒化チタン膜の下部の半導体領域の材料となっている物質が窒化チタン膜の上部に拡散することが防止できるので、窒化チタン膜の上部に存在する物質と窒化チタン膜の下部に存在する物質とが反応するのを防止することができる。

【0059】(2)．本発明の半導体集積回路装置およびその製造方法によれば、キャパシタにおける下部電極、絶縁膜および上部電極を形成する際の例えば800℃程度の高温熱処理を行っても、前述した不純物および導電物の拡散が防止できると共に窒化チタン膜の上部に

存在する物質と窒化チタン膜の下部に存在する物質とが反応するのを防止することができることによって、不要な領域にpn接合が形成されるのを防止でき、しかも半導体領域とその下部の例えばウエルまたは半導体基板などの基板との不要な短絡部が形成されるのを防止できる。

【0060】(3)．本発明の半導体集積回路装置およびその製造方法によれば、高製造歩留りをもって、高信頼度でしかも電気的な特性が優れているキャパシタを形成することができる。また、平坦化された絶縁膜および窒化チタン膜を有するプラグの上にキャパシタを形成することによって、平坦化および微細加工化されたキャパシタおよび多層配線層を容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図9】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図10】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図11】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図12】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図13】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図14】本発明の他の実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図15】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図16】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図17】本発明の他の実施の形態であるSRAMを有

する半導体集積回路装置の製造工程を示す概略断面図である。

【図18】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図19】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図20】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図21】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図22】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置の製造工程を示す概略断面図である。

【図23】本発明の他の実施の形態であるSRAMを有する半導体集積回路装置におけるSRAMのSTC型メモリセルを示す回路図である。

【符号の説明】

- 1 半導体基板
- 2 ウエル
- 3 ウエル
- 4 フィールド絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 側壁絶縁膜
- 8 半導体領域
- 9 半導体領域
- 10 チタンシリサイド膜
- 11 絶縁膜
- 12 レジスト膜
- 13 コンタクトホール
- 14 窒化チタン膜
- 15 タングステン膜
- 16 下部電極
- 17 絶縁膜
- 18 上部電極
- 19 層間絶縁膜
- 20 窒化チタン膜
- 21 タングステン膜
- 22 配線層
- 23 窒化チタン膜
- 24 アルミニウム膜
- 25 窒化チタン膜
- C キャパシタ
- DL, /DL データ線
- L1, L2 局所配線
- Q1, Q3 負荷用MOSFET (PチャネルMOSFE

(9)

特開平10-163440

15

16

T)
Q2, Q4 駆動用MOSFET (NチャネルMOSFE
T)

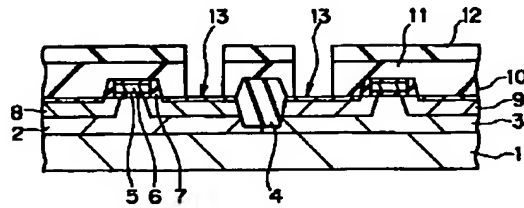
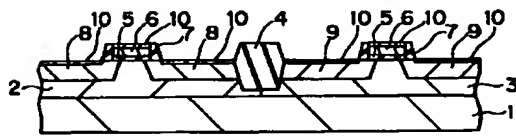
Q5, Q6 転送用MOSFET (NチャネルMOSFE
T)
WL ワード線

【図1】

【図2】

図 1

図 2

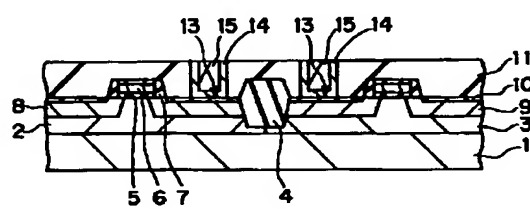
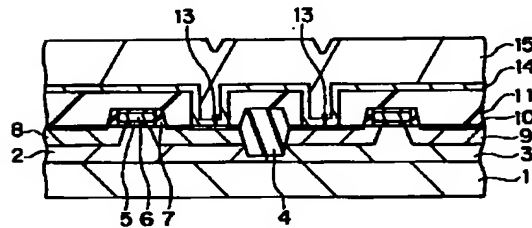


【図3】

【図4】

図 3

図 4

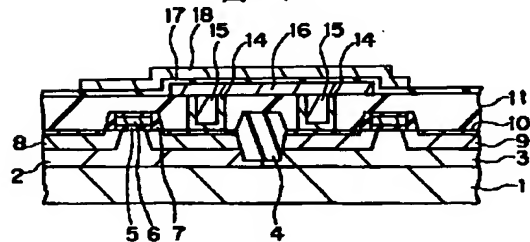
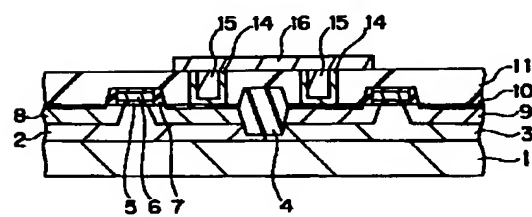


【図5】

【図6】

図 5

図 6

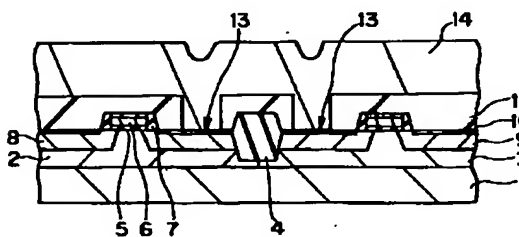
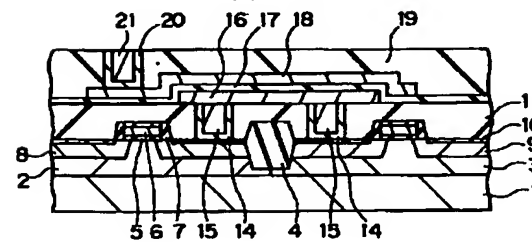


【図7】

【図9】

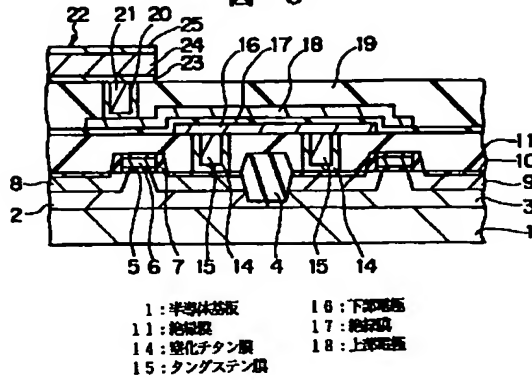
図 7

図 9



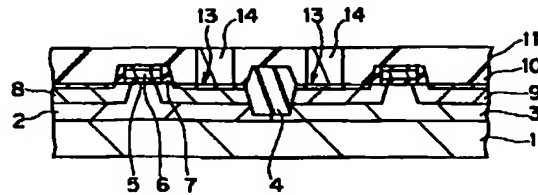
【図8】

図 8



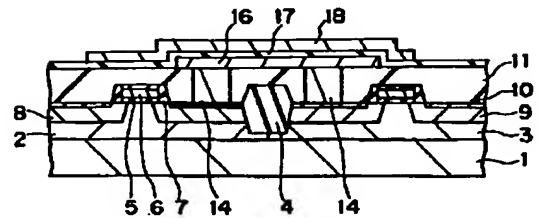
【図10】

図 10



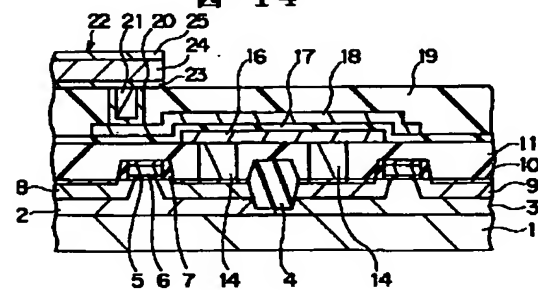
【図12】

図 12



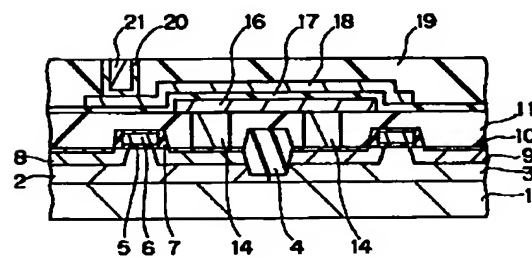
【図14】

図 14



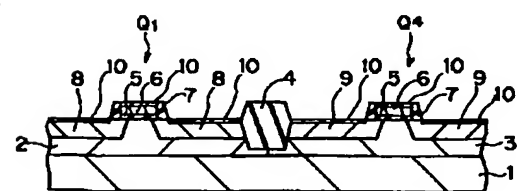
【図13】

図 13



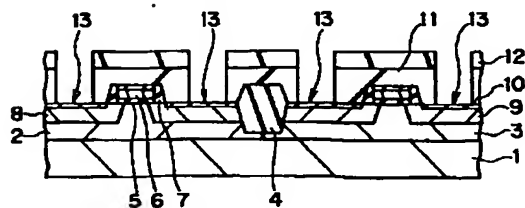
【図15】

図 15



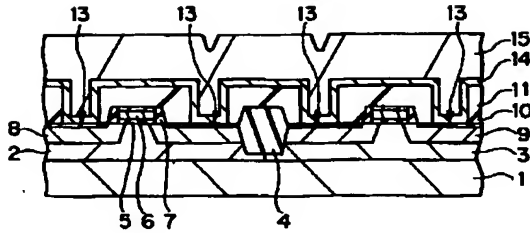
【図16】

図 16



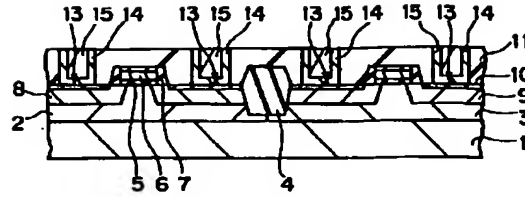
【図17】

図 17



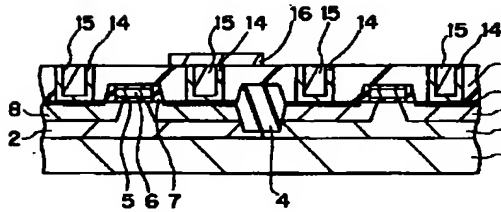
【図18】

図 18



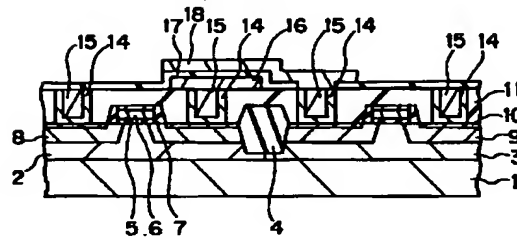
【図19】

図 19



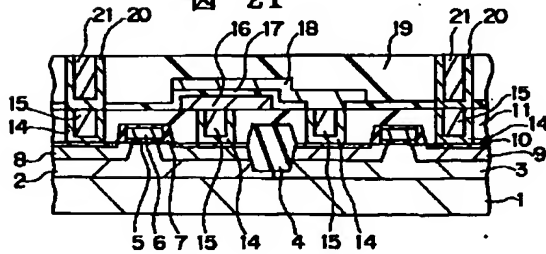
【図20】

図 20



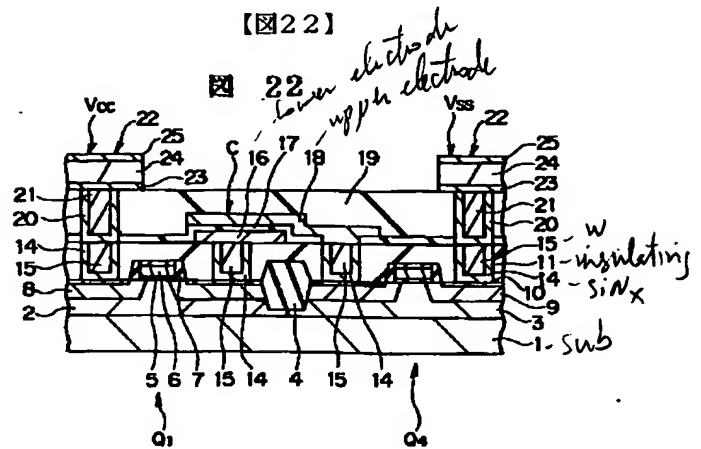
【図21】

図 21



【図22】

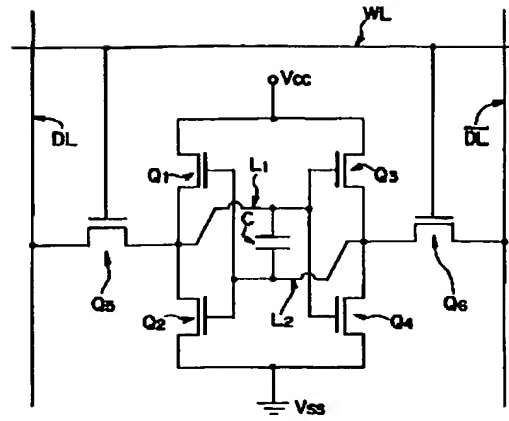
図 22



11
7, 2, 4, 5, 6, 10, 12, 13

【図23】

図 23



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 27/092
21/8244
27/11
29/43